

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許出願公告番号

特公平6-12617

(24)(44)公告日 平成6年(1994)2月16日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G11C 11/403

6741-5L

G11C 11/34

371 J

発明の数1(全9頁)

(21)出願番号 特願昭59-173275

(22)出願日 昭和59年(1984)8月22日

(65)公開番号 特開昭61-51694

(43)公開日 昭和61年(1986)3月14日

(71)出願人 999999999

株式会社日立マイコンシステム

東京都小平市上水本町5丁目22番1号

(74)上記1名の代理人 弁理士 大日方 富雄 (外2名)

(71)出願人 999999999

株式会社日立製作所

東京都千代田区神田駿河台4丁目6番地

(74)上記1名の代理人 弁理士 大日方 富雄

(72)発明者 小山 芳久

東京都小平市上水本町1479番地 日立マイ
クロコンピュータエンジニアリング株式会
社内

審査官 丹治 彰

(56)参考文献 特開 昭59-56292(JP, A)

特開 昭58-185092(JP, A)

(54)【発明の名称】 擬似スタティックRAM

【特許請求の範囲】

【請求項1】ダイナミック型メモリセルがマトリクス状に配置されてなるメモリアレイと、該メモリアレイ内のいずれかのメモリ行を指定するロウアドレス信号を受ける外部端子および上記メモリアレイ内のいずれかのメモリ列を指定するカラムアドレス信号を受ける外部端子と、上記ロウアドレス信号を受けてメモリ行を選択するための信号を形成するロウアドレス選択回路と、上記カラムアドレス信号を受けてメモリ列を選択するための信号を形成するカラムアドレス選択回路と、上記メモリアレイ内の互いに対をなす各相補データ線間のレベル差を増幅する複数のセンスアンプと、アドレスカウンタを有し外部からの制御信号を受けて起動され上記メモリアレイ内のいずれかのメモリ行のワード線を選択するアドレス信号を生成する自動リフレッシュ回路と、上記外部

端子より入力されるアドレス信号の変化を検出するアドレス信号変化検出回路と、該アドレス信号変化検出回路からの検出信号と外部から制御信号に基づいて上記ロウアドレス選択回路やカラムアドレス選択回路等の内部回路に対するタイミング信号を生成するタイミング発生回路と、上記各相補データ線間に接続されこれらを短絡させることによりプリチャージを行なうプリチャージ回路と、電源投入時における電源電圧変化を検出して所定時間幅のパルス信号を発生するパルス発生回路とを備えた擬似スタティックRAMであって、上記センスアンプはその一対の入出力端子が上記相補データ線のそれぞれに接続されたCMOSラッチ回路と該CMOSラッチ回路に電源電圧および接地電位を供給する一対のパワースイッチMOSFETとからなり、上記パルス発生回路から出力される上記パルス信号と上記タイミング発生回路か

ら出力されるセンスアンプの動作用タイミング信号とを論理回路で論理合成したタイミング信号により上記パワースイッチMOSFETをオンさせて各センスアンプを動作させるように構成されていることを特徴とする擬似スタティックRAM。

【発明の詳細な説明】

〔技術分野〕

この発明は、ダイナミック型RAM（ランダム・アクセス・メモリ）に関するもので、例えば、一対の相補データ線を短絡することによってプリチャージを行う方式のダイナミック型RAMに利用して有効な技術に関するものである。

〔背景技術〕

本願発明者等は、この発明に先立ってアドレス信号の変化を検出して内部回路の動作に必要な各種タイミング信号を形成するものとした擬似スタティック型RAMを提案した（特願昭57-164831号）。すなわち、情報を電荷の形態で記憶するキャパシタとアドレス選択用MOSFETとによって構成されるダイナミック型メモリセルを用いるとともに、その周辺回路をCMOS（相補型MOS）スタティック型回路で構成し、上記アドレス信号の変化を検出して必要なタイミング信号を得ることによって、外部からはスタティック型RAMと同等に扱えるようにするものである。このようにダイナミック型メモリアレイを用いた場合、電源投入時にはメモリアレイ等のダイナミック型回路部分にプリチャージが行われないため、その書き込み又は読み出しに先立って、一旦各ダイナミック型回路を動作させるという複数サイクルのダミーサイクルを設ける必要がある。

そこで、本願発明者は、上記ダミーサイクルが不要なダイナミック型RAMを考えた。

〔発明の目的〕

この発明の目的は、電源投入後に直ちに書き込み又は読み出し動作を行うことのできるダイナミック型RAMを提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

〔発明の概要〕

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、電源投入を検出して1ショットパルスを発生させ、このパルス信号によって、ダイナミック型メモリセルからなるメモリアレイにおける相補データ線間のCMOSラッチ回路構成のセンスアンプを動作させて、相補データ線の一方を電源電圧レベルにまた他方を回路の接地電位にさせることによって、その後相補データ線間のプリチャージ回路を動作させて相補データ線相互を短絡させることで電源電圧の1/2のレベルにプリチャージできるようにしたものである。

〔実施例〕

第1図には、この発明に係るダイナミック型RAMの一実施例のブロック図が示されている。

同図の各回路ブロックは、公知の半導体集積回路の製造技術によって、特に制限されないが、単結晶シリコンのような1個の半導体基板上において形成され、例えば、端子Din, Dout, A0~A17, ▲WE▼, ▲CS▼, ▲RESH▼及びVcc, Vssは、その外部端子とされ、端子Vcc, Vssには図示しない適当な外部電源装置から給電が行われる。

回路記号M-ARYで示されているのは、メモリアレイであり、後述するように記憶用キャパシタとアドレス選択用MOSFETで構成された公知の1MOS型メモリセルがマトリックス状に配置されている。この実施例では、上記メモリセルは一対の平行に配置された相補データ線D, \overline{D} のいずれか一方に、その入出力ノードが結合された二交点方式で配置される。この実施例では、これらの相補データ線の電源投入直後におけるレベルを規定するため、各相補データ線には後述するようなMOSFETが設けられている。

回路記号PCで示されているのは、データ線プリチャージ回路である。この実施例のメモリアレイのプリチャージ動作は、後述するように一対の相補データ線（後述する共通相補データ線も同様である）をMOSFETにより単に短絡することにより上記相補データ線D, \overline{D} を約Vcc/2の中間レベルにするものである。これにより、0ボルトからVccレベルまでチャージアップするものに比べ、そのレベル変化量が小さく、プリチャージMOSFETのゲート電圧通常の論理レベル（Vcc）を用いても十分に非飽和状態でオンさせることが出来るからプリチャージ動作を高速に、しかも低消費電力のもとに行うことができる。上記のように、プリチャージレベルを約Vcc/2の中間レベルにするものであるので、メモリセルの読み出し時においても、メモリセルのスイッチMOSFETのゲート電圧（ワード線選択電圧）として通常の論理レベル（Vcc）を用いても十分に非飽和状態でオンさせることが出来るから、ブートストラップ電圧を用いることなく、情報記憶キャパシタの全電荷読み出しが可能となる。また、読み出し基準電圧は、メモリセルが選択されない一方のデータ線のプリチャージレベルを利用することによって、読み出し基準電圧を形成するダミーセルが不要になる。

回路記号SAで示されているのは、センスアンプであり、特に制限されないが、電源電圧Vccと回路の接地電位VssにそれぞれPチャンネルMOSFETとNチャンネルMOSFETとで構成された一対のパワースイッチMOSFETが設けられたCMOS（相補型MOS）ラッチ回路で構成され、その一対の入出力ノードは、上記相補データ線D, \overline{D} に結合されている。タイミングパルスφpaは、上記パワースイッチMOSFETを制御する

ためのものである。なお、NチャンネルMOSFETとPチャンネルMOSFETで構成されたパワースイッチMOSFETを制御するために、非反転タイミングパルス ϕ_{pa} と反転タイミングパルス $\overline{\phi}_{pa}$ とが用いられるが、同図では未反転タイミングパルス ϕ_{pa} のみが示されている。上記一対のパワースイッチMOSFETは、上記のプリチャージ動作の開始直前にオフ状態にされる。これにより相補データ線D、 \overline{D} はフローティング状態で V_{cc} 、 V_{ss} レベルを保持する。

回路記号C-SWで示されているのは、カラムスイッチであり、カラム選択信号に従って、選択された相補データ線を共通相補データ線（一本の線で表す）CD、 \blacktriangle で $\overline{D}\blacktriangledown$ に結合させる。

回路記号R-ADBで示されているのは、ロウアドレスバッファであり、外部端子A0～A8からの外部アドレス信号を受けて、内部相補アドレス信号a0～a8、 $\overline{a}0\sim\overline{a}8$ を形成する。なお、以後の説明及び図面では、一対の内部相補アドレス信号、例えばa0、 $\overline{a}0$ を内部相補アドレス信号a0と表すことにする。したがって、上記内部相補アドレス信号a0～a8、 $\overline{a}0\sim\overline{a}8$ は、内部相補アドレス信号a0～a8と表す。

回路記号C-ADBで示されているのは、カラムアドレスバッファであり、外部端子A9～A17からの外部アドレス信号を受けて、内部相補アドレス信号a9～a17、 $\overline{a}9\sim\overline{a}17$ を形成する。なお、上述した内部相補アドレス信号の表し方に従って図面及び以下の説明では、上記内部相補アドレス信号a9～a17、 $\overline{a}9\sim\overline{a}17$ を内部相補アドレス信号a9～a17と表す。

回路記号R-DCRで示されているのは、ロウアドレスデコーダであり、後述するマルチプレクサMPXを介した内部相補アドレス信号a0～a8を受けて、M-ARYのワード線選択信号を形成する。このワード線選択信号は、ワード線選択タイミング信号 ϕ_x に同期して、M-ARYに伝えられる。

回路記号MAで示されているのは、メインアンプであり、上記センスアンプSAと同様な回路構成とされる。

回路記号DOBで示されているのは、データ出力バッファであり、タイミングパルス $\overline{\phi}_{rw}$ により、メインアンプMAからの読み出しデータを外部端子I/Oにそれぞれ送出する。なお、書込み時には、タイミングパルス $\overline{\phi}_{rw}$ のロウレベルによりこのデータ出力バッファDOBは、不動作（出力ハイインピーダンス）状態にされる。

回路記号DIBで示されているのは、データ入力バッファであり、タイミングパルス $\overline{\phi}_{rw}$ により、外部端子I/Oからの書込みデータを共通相補データ線に伝える。なお、読み出し時には、タイミングパルス $\overline{\phi}_{rw}$ のロウレベルによりこのDIBは上記同様に不動作にされる。これにより、必要ならば、上記端子DoutとDinとは共通の外部データバスに接続することができる。なお、上記端子DoutとDinとは共通の端子としてもよい。

上述した各種タイミング信号は、次の各回路ブロックにより形成される。

回路記号RATDで示されているのは、特に制限されないが、アドレス信号a0～a8（又は $\overline{a}0\sim\overline{a}8$ ）を受けて、その立ち上がり又は立ち下りの変化を検出するアドレス信号変化検出回路である。回路記号CATDで示されているのは、特に制限されないが、アドレス信号a9～a17（又は $\overline{a}9\sim\overline{a}17$ ）を受けて、その立ち上がり又は立ち下りの変化を検出するアドレス信号変化検出回路である。

上記アドレス信号変化検出回路RATDは、特に制限されないが、アドレス信号a0～a8と、その遅延信号とをそれぞれ受ける排他的論理和回路と、これらの排他的論理和回路の出力信号を受ける論理和回路とによって構成される。すなわち、アドレス信号とそのアドレス信号の遅延信号とを受ける排他的回路が各アドレス信号に対して設けられている。この場合9個の排他的論理和回路が設けられており、この9個の排他的論理和回路の出力信号が論理和回路に入力されている。このアドレス信号変化検出回路RATDは、アドレス信号a0～a8のうちいずれか1つでも変化すると、その変化タイミングに同期したアドレス信号変化検出パルス ϕ_r を形成する。上記アドレス信号変化検出回路CATDは、上記アドレス信号変化検出回路RATDと同様な構成にされている。すなわち、アドレス信号a9～a17と、その遅延信号とをそれぞれ受ける排他的論理和回路と、これらの排他点論理和回路の出力信号を受ける論理和回路とによって構成されている。このアドレス信号変化検出回路CATDは、上記アドレス信号変化検出回路RATDと同様に、アドレス信号a9～a17のうちいずれか1つでも変化したとき、その変化タイミングに同期したアドレス信号変化検出パルス ϕ_c を形成する。

回路記号TGで示されているのは、タイミング発生回路であり、上記代表として示された主要なタイミング信号等を形成する。すなわち、ことタイミング発生回路TGは、アドレス信号変化検出パルス ϕ_r 、 ϕ_c の他、外部端子から供給されるライトイネーブル信号 \blacktriangle WE \blacktriangledown 、チップ選択信号 \blacktriangle CS \blacktriangledown を受けて、上記一連のタイミングパルスと後述するメモリアレイM-ARYのシリアル読み出し動作に必要なタイミングパルスを形成する。また、このタイミング発生回路TGは、後述するように電源投入時の相補データ線の自動レベル設定を行うための1ショットパルス発生回路を内蔵している。

回路記号MPXで示されているのは、マルチプレクサであり、後述する自動リフレッシュ回路REFからの制御信号（図示せず）に従って、上記アドレスバッファR-ADBで形成された内部相補アドレス信号a0～a8と、上記自動リフレッシュ回路REF形成された内部相補アドレス信号a0～a8とを選択的に上記デコーダR-DCRに伝える。

回路記号Vbb-Gで示されているのは、基板バイアス電圧発生回路である。基板バイアス電圧発生回路Vbb-Gは、集積回路の外部端子を構成する電源端子Vccと基準電位端子もしくはアース端子との間に加えられる+5Vのような正電源電圧にตอบสนองして、半導体基板に供給すべき負のバックバイアス電圧-Vbbを発生する。これによって、NチャンネルMOSFETの基板ゲートにバックバイアス電圧が加えられることになる。

回路記号REFで示されているのは、自動リフレッシュ回路であり、フレッシュアドレスカウンタ、タイマー等を含んでおり、外部端子からのリフレッシュ信号▲RESH▼をロウレベルにすることにより起動される。すなわち、チップ選択信号▲CS▼がハイレベルのときにリフレッシュ信号RESHをロウレベルにすると自動リフレッシュ回路REFは、マルチプレクサMPXに切り換えて、内蔵のリフレッシュアドレスカウンタからの内部アドレス信号をロウデコーダR-DCRに伝えて一本のワード線選択によるリフレッシュ動作（オートリフレッシュ）を行う。また、リフレッシュ信号▲RESH▼をロウレベルにしつづけるとタイマーが作動して、一定時間毎にリフレッシュアドレスカウンタが歩進させられて、この間連続的なリフレッシュ動作（セルフリフレッシュ）を行う。

図示のブロックのダイナミック型RAMは、擬似スタティック型RAMを構成する。種々の回路動作は、アドレス信号変化検出回路RATD及びCATDから送出される検出パルスφr、φcによって制御される。

マルチプレクサMPXから出力されるロウ系の内部アドレス信号の少なくとも1つにおけるレベル変化に応じて検出パルスφrが出力されると、それに従ってタイミング発生回路TGからロウ系回路の動作を制御するためのタイミング信号が出力される。タイミング信号φpaは、検出パルスφrが発生されると、それに従ってセンスアンプSAを非動作にさせるレベルにされる。タイミング信号φpは、タイミング信号φpaが変化されると同時にしくは若干遅延されたタイミングから所定期間だけ例えばハイレベルのプリチャージ指示レベルにされる。これによりプリチャージ回路PCが動作され、メモリアレイM-ARYにおける各データ線がほぼVcc/2レベルにプリチャージされる。すなわち、データ読み出し動作前の前準備が実行される。

タイミング信号φxは、検出パルスφrと同期して例えばロウレベルにされ、タイミング信号φpがロウレベルにされた後にハイレベルにされる。ロウデコーダR-DCRは、タイミング信号φxがハイレベルにされることによって動作される。その結果、メモリアレイM-ARYにおける複数のワード線のうちロウ系の内部アドレス信号に対応された1つが選択されるようになる。

タイミング信号φpaは、タイミング信号φxがハイレベルにされた後に、センスアンプSAを動作させるレベル

にされる。これによってメモリアレイM-ARYにおけるメモリセルから読み出されたデータの増幅が開始される。

タイミング信号φyは、検出パルスφrの発生とともにロウレベルにされ、タイミング信号φx及びφpaが発生された後にハイレベルにされる。タイミング信号φyは、またタイミング信号φxがハイレベルにされているときにおいて検出パルスφcが発生されると、すなわちロウ系アドレス信号が変化されるとその時から所定期間だけロウレベルのリセットレベルにされた後にハイレベルにされる。カラムデコーダC-DCRは、タイミング信号φyがハイレベルにされることによって動作される。カラムデコーダC-DCRの動作によってカラムスイッチC-SWが動作させられるようになる。その結果、メモリアレイM-ARYにおける複数対のデータ線のうちカラム系アドレス信号に対応された1つが選択される。

タイミング信号φmaは、タイミング信号φyがロウレベルにされるとこれに同期してロウレベルにされ、タイミング信号φyがハイレベルにされた後にハイレベルにされる。メインアンプMAは、タイミング信号φmaがハイレベルにされることによって動作される。

タイミング信号は、外部端子▲CS▼におけるチップ選択信号がロウレベル（選択レベル）にされ、かつ外部端子▲WE▼におけるライトエネイブル信号がハイレベル（読み出し動作指示レベル）にされているときに例えばロウレベルにされる。

第2図には、上記メモリアレイM-ARYにおける相補データ線は自動レベル設定回路の参考例の回路図が示されている。同図の各回路素子は、公知のCMOS（相補型MOS）集積回路の製造技術によって、1個の単結晶シリコンのような半導体基板上において形成される。なお、同図において、特に説明をしない場合はNチャンネルMOSFET（絶縁ゲート型電界効果トランジスタ）である。また、ソース・ドレイン間に直線が付加されたMOSFETはPチャンネル型MOSFETである。特に制限されないが、集積回路は、単結晶P型シリコンからなる半導体基板に形成される。NチャンネルMOSFETは、かかる半導体基板表面に形成されたソース領域、ドレイン領域及びソース領域とドレイン領域との間の半導体基板表面に薄い厚さのゲート絶縁膜を介して形成されたポリシリコンからなるようなゲート電極から構成される。PチャンネルMOSFETは、上記半導体基板表面に形成されたN型ウェル領域に形成される。これによって、半導体基板は、その上に形成された複数のNチャンネルMOSFETの共通の基板ゲートを構成する。N型ウェル領域は、その上に形成されたPチャンネルMOSFETの基板ゲートを構成する。PチャンネルMOSFETの基板ゲートすなわちN型ウェル領域は、第1図の電源端子VCCに結合される。

第2図において、メモリアレイMEMORYは、その二対の行が代表として示されており、それぞれ一対の平行に配置された相補データD、 \overline{D} に、アドレス選択用MOSFETQmと情報記憶用キャパシタCsとで構成された複数のメモリセルのそれぞれの入出力ノードが所定の規則性をもって配分されて結合されている。同じ列に配置されたメモリセルのアドレス選択用MOSFETQmは、そのゲートが対応するワード線Wに結合される。プリチャージ回路PCは、代表として示されたMOSFETQ1、Q2のように、相補データ線D、 \overline{D} 間に設けられたスイッチMOSFETにより構成される。これらのMOSFETQ1、Q2は、そのゲートにタイミングパルスφpが供給される。

この参考例では、電源投入直後における相補データ線D、 \overline{D} を電源電圧Vccと回路の接地電位Vssに設定するため、一方の相補データ線DにNチャンネルMOSFETQ3、Q5のソース又はドレインが結合され、他方の相補データ線にPチャンネルMOSFETQ4、Q6のソース又はドレインが結合される。上記NチャンネルMOSFETQ3、Q5の他方のソース又はドレインは、相互に共通接続され、タイミング信号φ2が供給される。上記PチャンネルMOSFETQ4、Q6の他方のソース又はドレインは、相互に共通接続され、タイミング信号φ1が供給される。上記NチャンネルMOSFETQ3、Q5のゲートには、上記タイミング信号φ1が共通に供給され、PチャンネルMOSFETQ4、Q6のゲートには、上記タイミング信号φ2が共通に供給される。

これらのタイミング信号φ1、φ2は、次の電圧検出回路によって形成される。電源電圧Vccの立ち上がり電圧は、PチャンネルMOSFETQ7とキャパシタCによって遅延される。すなわち、PチャンネルMOSFETQ7は、そのゲートに定常的に回路の接地電位が供給されることによって抵抗手段として作用する。これにより、MOSFETQ7とキャパシタCとの接続点（ノードN1）の電圧は、電源投入による電源電圧Vccの立ち上がりに対して遅れて徐々に立ち上がる。この電圧N1は、一方においてナンド（NAND）ゲート回路G1の一方の入力に供給される。上記電圧N1は、他方において遅延回路DLを通して上記ナンドゲート回路G1の他方の入力に供給される。すなわち、遅延回路DLの出力N2は、上記電圧N1から遅れて立ち上がる電圧にされる。これにより、ナンドゲート回路G1は、電源電圧Vccがその動作電圧に達したとき、その入力がロジックスレッシュホールド電圧以下のロウレベル（論理“0”）であるので、ハイレベル（論理“1”）の出力信号（タイミング信号φ1）を形成する。上記電圧N1が先にナンドゲート回路G1のロジックスレッシュホールド電圧以上の高いレベルにされるが、遅延回路DLの出力N2が未だロジックスレッシュホールド電圧以下のロウレベルであるので、そ

の出力をハイレベルのままとする。そして、遅れて遅延回路DLの出力N2がナンドゲート回路G1のロジックスレッシュホールド電圧電圧以上に達した時、上記ナンドゲート回路G1の出力は、ハイレベルからロウレベルに変化する。この出力は、直列形態にされたインバータ回路IV1、IV2を介して上記タイミング信号φ1として送出される。また、上記タイミング信号φ1は、インバータ回路IV3により反転され、上記タイミング信号φ2として送出される。上記インバータ回路IV2とIV3は、上記レベル設定用のMOSFETQ3～Q6の制御信号であるとともに、相補データ線D、 \overline{D} のレベルを供給するものであるので、その電流駆動能力が比較的大きく設定されるものである。

この参考例では、上述のように電源投入直後にハイレベルになるタイミング信号φ1とその反転タイミング信号φ2が形成される。上記タイミング信号φ1のハイレベルにより、NチャンネルMOSFETQ3、Q5はオン状態にされ、それに結合された相補データ線Dをタイミング信号φ2のロウレベルに設定する。また、タイミング信号φ2のロウレベルによりPチャンネルMOSFETQ4、Q6はオン状態にされ、それに結合された相補データ線D、 \overline{D} をタイミング信号φ1のハイレベルに設定するものである。

そして、上記タイミング信号φ1がロウレベルに、タイミング信号φ2がハイレベルになると、NチャンネルMOSFETQ3、Q5及びPチャンネルMOSFETQ4、Q6は共にオフ状態にされる。これにより、相補データ線D、 \overline{D} は、フローティング状態で上記ロウレベルとハイレベルとを保持する。以後、書き込み又は読み出し動作のためのアドレス信号を供給すると、その変化タイミングでタイミングパルスφpが形成され、プリチャージMOSFETQ1、Q2はオン状態になって、相補データ線を短絡して上記相補データ線D、 \overline{D} を約Vcc/2のプリチャージレベルにさせる。これにより、書き込み又は読み出し動作を直ちに開始することができる。第4図には、この発明の一実施例の回路図が示されている。この実施例では、上記電源投入直後の相補データ線のレベル設定回路として、センスアンプSAを利用するものである。すなわち、センスアンプSAは、PチャンネルMOSFETQ11、Q13と、NチャンネルMOSFETQ10、Q12とからなるCMOSラッチ回路で構成され、その一対の入出力ノードが上記相補データ線D、 \overline{D} に結合されている。上記ラッチ回路は、PチャンネルMOSFETQ19を通して電源電圧Vccが供給され、NチャンネルMOSFETQ18を通して回路の接地電圧Vssが供給されることによって動作状態にされる。他のセンスアンプSAも上記類似のPチャンネルMOSFETQ15、Q17とNチャンネルMOSFETQ14、Q16とからなるCMOSラッチ回路により構成され、上記スイッチMOSFETQ19、Q18を通

して共通に動作電圧が供給される。

上記パワースイッチMOSFETQ18のゲートには、タイミングパルス $\phi_{pa'}$ が供給され、パワースイッチMOSFETQ19のゲートには、インバータ回路IV4を介して反転されたタイミングパルス $\overline{\phi}_{pa'}$ が供給される。このタイミングパルス $\phi_{pa'}$ は、次の回路により形成される。

上記2図に示した参考例回路と同様なPチャンネルMOSFETQ7とキャパシタC及び遅延回路DL、ナンドゲート回路G1とで形成された1ショットパルス ϕ_1' は、排他的論理和回路EXの一方の入力端子に供給される。この排他的論理和回路EXの他方の入力端子には、センスアンプの動作タイミングパルス ϕ_{pa} が供給される。そして、この排他的論理和回路EXの出力から、上記タイミングパルス $\phi_{pa'}$ が形成される。

この実施例では、電源投入直後では、センスアンプの動作タイミングパルス ϕ_{pa} が形成されずロウレベル（論理“0”）になっている。したがって、電源投入によって、第3図に示したのと同様なタイミング信号 ϕ_1' が形成されると、そのハイレベル（論理“1”）の期間に、ハイレベルになるタイミングパルス $\phi_{pa'}$ が形成される。これにより、上記CMOSラッチ回路に動作電圧を供給するNチャンネルMOSFETQ18とPチャンネルMOSFETQ19がオン状態にされる。上記CMOSラッチ回路は、上記動作電圧の供給により動作を開始し、相補データ線D、 \overline{D} のうち一方をハイレベルに、他方をロウレベルにする。上記タイミング信号 ϕ_1' のロウレベルによりタイミングパルス $\phi_{pa'}$ がロウレベルになると、上記パワースイッチMOSFETQ18、Q19はオフ状態にされる。これにより相補データ線D、 \overline{D} は、フローティング状態でハイレベルとロウレベルとを保持するものとされる。以後の動作は上記第2図の参考例と同様である。

この実施例では、センスアンプ回路を利用して、電源投入直後のメモリアレイMEMORYにおける相補データ線D、 \overline{D} のレベル設定を行うことができるから、電源投入を検出して1ショットパルスを発生する回路等比較的簡単な回路により、上記自動レベル設定を行うことができる。

第2図のような参考例の場合には、プリチャージのために相補データ線にMOSFETQ3～Q6を結合することになり、かかるMOSFETQ3～Q6のそれぞれがスタティック型RAMと同様な高速動作が期待されるべき擬似スタティック型RAMの動作速度を制限する一つの要因となる。これに対して、第4図の実施例の場合は、センスアンプそれ自身をプリチャージ手段とするので、第2図のものに比べて素子数を少なくできるとともに、相補データ線に寄生する容量を小さくでき、高速化が容易となる。また、第2図のような参考例の場合には、共通のインバータ回路IV1、IV2は、すべての

相補データ線に同時にプリチャージを行なえるよう大きな駆動力をもつように大きなサイズにする必要がある。これに対し、第4図の実施例の場合は、それぞれのセンスアンプによって対応する相補データ線のプリチャージを行なえばよいので、高速度のプリチャージが可能となる。

なお、第4図においては、相補データD、 \overline{D} は、カラムスイッチMOSFETQ20、Q21及びQ23、Q24を介して共通相補データ線CD、 \overline{CD} に結合される。これらのカラムスイッチMOSFETQ20、Q21及びQ23、Q24のゲートは、共通化されてカラムデコーダC-DCRによって形成された選択信号が供給される。このようなカラム選択回路は、第2図においては省略されている。

〔効果〕

(1) 電源投入を検出して1ショットパルスを発生させて、これにより、メモリアレイにおける相補データ線のレベル設定を自動的に行うことができるから、電源投入直後に直ちに書き込み又は読み出し動作を行うことができるという効果が得られる。言い換えるならば、相補データ線における $V_{cc}/2$ プリチャージの前提となるレベル設定を行うダミーサイクルが不要になる。これによって、扱い易いスタティック型RAMの動作に近づけた擬似スタティック型RAMを実現できる。

(2) 相補データ線のレベル設定をセンスアンプを構成するCMOSラッチ回路の増幅動作を利用することにより、極めて簡単な回路を付加するだけで、上記自動レベル設定を実現することができるという効果が得られる。

(3) CMOSラッチ回路構成のセンスアンプは、良く知られているようにその出力すなわち相補データを、電源電圧レベルと接地電位レベルとに十分に駆動できる能力を持つ。それ故に、プリチャージ回路(Q1、Q2)が動作されたときの相補データ線のプリチャージ電位は、予めCMOSラッチ回路によって相補データ線に与えられた電源電圧レベルと接地電圧レベルとによって正確に $V_{cc}/2$ となる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、電源電圧 V_{cc} の立ち上がりを検出して1ショットパルスを発生させる回路は、何であってよい。

〔利用分野〕

この発明は、周辺回路がスタティック型回路により構成され、メモリアレイがダイナミック型メモリセルにより構成され、その相補データ線を $V_{cc}/2$ にプリチャージする方式のダイナミック型RAMに広く利用できるものである。

【図面の簡単な説明】

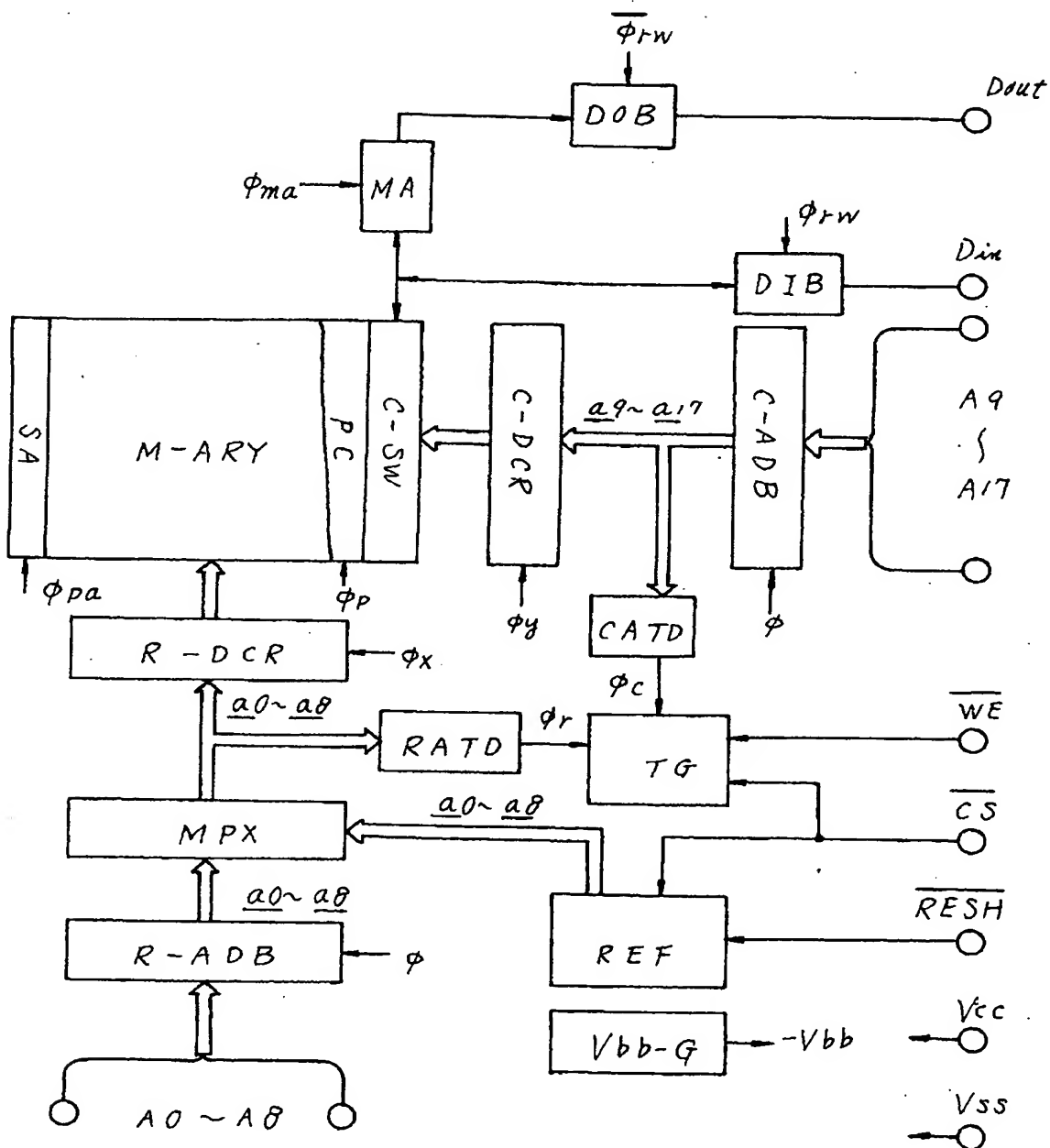
第1図は、この発明の一実施例を示すのブロック図、

第2図は、要部一参考例を示す回路図、
第3図は、その動作を説明するためのタイミング図、
第4図は、この発明の一実施例を示す要図回路図である。

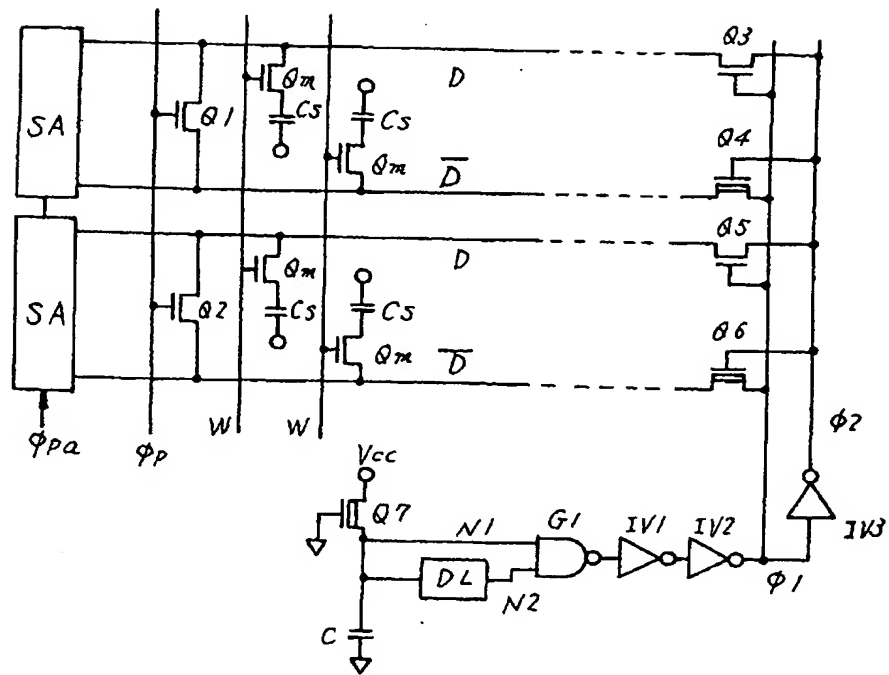
M-ARY……メモリアレイ、PC……プリチャージ回路、
SA……センスアンプ、R-ADB……ロウアドレスバッファ、C-SW……カラムスイッチ、C-ADB

……カラムアドレスバッファ、R-DCR……ロウアドレスデコーダ、C-DCR……カラムアドレスデコーダ、MA……メインアンプ、RATD、CATD……アドレス信号変化検出回路、TG……タイミング発生回路、REF……自動リフレッシュ回路、DOB……データ出力バッファ、DIB……データ入力バッファ、MPX……マルチプレクサ

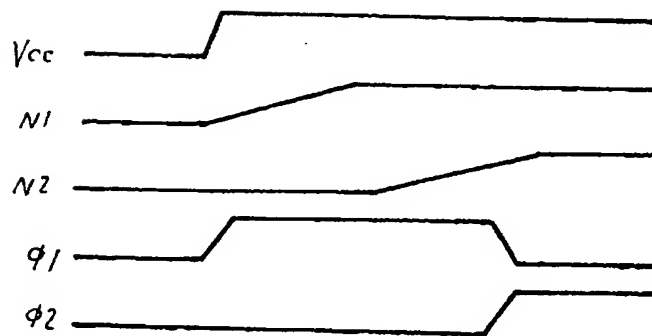
【第1図】



【第2図】



【第3図】



【第4图】

